

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑫ 公開特許公報 (A) 昭57—193842

⑬ Int. Cl.³
G 06 F 9/38

識別記号

庁内整理番号
6745—5B

⑭ 公開 昭和57年(1982)11月29日

発明の数 1
審査請求 有

(全 4 頁)

⑮ リクエスト・コンフリクト検出方式

⑯ 特 願 昭56—76669

⑰ 出 願 昭56(1981)5月22日

⑱ 発 明 者 松尾寿久

秦野市堀山下1番地株式会社日

立製作所神奈川工場内

⑲ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5
番1号

⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称

リクエスト・コンフリクト検出方式

特許請求の範囲

1. 命令の前処理をパイプライン制御で行なう前処理ユニットを有するデータ処理装置において、該前処理ユニットで前処理中のストア命令がパイプラインの特定の各ステージに存在するか否かをそれぞれ表示する表示子群と、該特定の各ステージにある命令のオペランドアドレスと該前処理ユニットで前処理を開始する命令のオペランドアドレスとを比較する比較回路群と、該表示子群の状態にしたがって該比較回路を選択する選択回路とを具備し、該選択回路で選択された比較回路の出力によつて、前処理を開始したオペランドまたは命令の脱出しが必要な命令と、それに先行するストア命令とのリクエスト・コンフリクトを検出するリクエスト・コンフリクト検出方式。

発明の詳細な説明

本発明は、パイプライン制御で命令の前処理を行なう前処理ユニットを有するデータ処理装置に関し、特に前処理ユニットにおけるストア命令と、後続のロード命令または分岐命令との間のリクエスト・コンフリクトを検出する方式に関する。

命令の前処理をパイプライン制御で行なう場合、命令脱出しとストアとのコンフリクトとしては、(1)現在脱出そうとしている命令脱出しと先行ストアとのコンフリクト (ISC: Instruction Store Conflict) と、(2)既に命令脱出しバッファへ格納されている命令と現在のストアとのコンフリクト (PSC: Program Store Conflict) とがあり、また、(3)命令の前処理でオペランド脱出しを行なうときに、先行のストアとの間で生じるコンフリクト (OSC: Operand Store Conflict) がある。従来は、これら3種のリクエスト・コンフリクトを、別々のアドレス比較回路を用いて検出する方式を採用していた。このため、リクエスト・コンフリクト検出のためのハードウェアが増加し、またコンフリクトの種類毎に異なる制御

BEST AVAILABLE COPY

が必要で制御の複雑化を招いていた。

したがって本発明の目的は、共通の回路でかつ同一の制御でOSCとISCの両方のコンフリクトを検出できる方式を提供することにある。

しかし本発明によるリクエスト・コンフリクト方式は、前処理中のストア命令がパイプラインの特定の各ステージに存在するかそれぞれ表示する表示子群と、これら特定の各ステージにある命令のオペランドアドレスと、前処理を開始する命令のオペランドアドレス（ロード命令であればオペランドアドレスだが、分岐命令であれば分岐先アドレスである。以下同様）とをそれぞれ比較する比較回路群と、該表示子群の状態にしたがつて該比較回路を選択する選択回路とを具備し、この選択された比較回路の出力によつて、オペランドまたは命令の脱出しが必要な命令と、それに先行するストア命令とのリクエスト・コンフリクトを検出することを特徴とするものである。

次に本発明の一実施例について説明するが、ここでは下記の(i)、(ii)の前提を置くことにする。

なる。

ここで、デコードされた命令がストア命令で、ラインdの値が“1”であれば、Aステージの開始信号が前処理パイプライン制御部4よりラインfを介して供給された時に、ストア命令がAステージにあるということを表示するフリップフロップ7-1がセットする。その後、前処理パイプライン制御部4よりLステージの開始信号がラインgを介して供給されると、ストア命令がLステージにあるということを表示するフリップフロップ7-2がセットし、フリップフロップ7-1はリセットされる。このフリップフロップ7-2は、前処理パイプライン制御部4がEステージを開始する時リセットされる。すなわちフリップフロップ7-1および7-2は、ストア命令がAステージおよびLステージにある間のみ、それぞれ“1”の状態を保持し、それ以外は“0”となる。

一方、命令レジスタ1の他の部分は、ラインhを介してオペランドアドレス加算部³へ送られ、そこでオペランドアドレスが生成される。このオペ

特開昭57-193842(2)

(i) 命令の前処理パイプラインは、第1図に示す様に1つの命令を

Dステージ: Decode & Address Generation

Aステージ: Address Translation

Lステージ: Load from BS

Eステージ: Execution

の順で実行し、オペランド脱出しはAステージで行う。

(ii) リクエストの処理の優先順位は、ストア、オペランド脱出し、命令脱出しの順とする。

第2図は本発明の一実施例を示すブロック図である。

1は命令レジスタであり、命令前処理パイプライン制御部4からラインaを介してDステージ開始信号が供給されると、前処理を行うべき命令が順次格納される。命令レジスタ1の命令コード部はラインbを経由して命令デコーダ2へ送出され、デコーダ2はその命令のタイプを出力する。このデコード出力cは、ストア命令の時はラインdが“1”となり、ロード命令の時はラインeが“1”と

ランドアドレスは、ラインiを経由して前処理中アドレスレジスタ5-1及び比較回路6-1、6-2へ送出される。フリップフロップ7-1、7-2と同様に、Aステージ開始時にラインi上のオペランドアドレスがアドレスレジスタ5-1にセットされ、その内容がLステージ開始時にアドレスレジスタ5-2にセットされる。つまり、ストア命令がAステージにある時は、そのストア命令のオペランドアドレスがアドレスレジスタ5-1に、Lステージにある時はアドレスレジスタ5-2にそれぞれ保持されていることになる。

なお、これらアドレスレジスタ5-1と5-2は、前処理パイプラインがAステージからLステージ、またはLステージからEステージへ移る時に、内容をクリアする必要はない。

比較回路6-1は、Aステージにある命令のオペランドアドレス(5-1)と、Dステージにある(デコードを開始した)後続の命令のオペランドアドレス(i)との比較を行う。比較回路6-2は、Lステージにある命令のオペランドアドレス(5

特開昭57-193842 (3)

— 2) と、D ステージにある命令のオペランドアドレス(i)との比較を行う。

さて、ストア命令がA ステージあるいはL ステージにある時(フリップフロップ7-1または7-2が“1”の時)に、ロード命令がD ステージに出現したとしよう。

もし、A ステージまたはL ステージにあるストア命令のオペランドアドレス(5-1または5-2)が、D ステージで生成されたロード命令のオペランドアドレス(i)と不一致であれば、アンドゲートj、k はいずれも入力条件が成立しないため、フリップフロップ8はリセットされたままであり、ラインnは“0”である。したがって、ロード命令の前処理の進行はブロックされず、第1図の(i)のように各命令の実行動作が進行する。

しかし、もしA ステージにあるストア命令とD ステージに出現したロード命令のオペランドアドレス同志が一致する(OSCの発生)と、アンドゲートjの入力条件が成立する(比較回路6-1が選択される)。同時に、アンドゲートkの入力

条件が成立するため、アンドゲートmを介してコンフリクト検出用のフリップフロップ8がセットされる。このフリップフロップ8がセットされると、ラインnが“1”になり、前処理パイプライン制御部4はコンフリクトが検出されたと判断し、D ステージにあるロード命令の前処理の進行をブロックする。その後、先行するストア命令がL ステージ、E ステージへと進み、ストアリクエストを発行する時に、マイクロプログラムデコーダ9よりラインpを経由してフリップフロップ8がリセットされると、前処理パイプライン制御部4はロード命令に対する前処理パイプラインのブロックを解除する。したがって、この場合の前処理の進行状況は第1図の(ii)のようになる。

同様に、ストア命令がL ステージにあるときに前処理を開始したロード命令との間でOSCが発生すると、アンドゲートkの入力条件が成立して(比較回路6-2が選択され)、フリップフロップ8が“1”にセットされる。そして、ロード命令の前処理の進行は、前処理パイプライン制御部4

によつて第1図の(iii)のようにブロックされることになる。

この様にして、OSCを検出した時は、ロード命令のオペランド読出しステージであるA ステージの終了を先行ストアの完了までブロックすることにより、ロード命令のオペランド読出しを正しく動作させるOSC処理を行う。

ここまでは、ストア命令とロード命令のOSCの検出とその処理に限って説明した。しかし、ロード命令を分岐命令に置き換えた場合、分岐先読出しステージを同じくA ステージに付属させることにより、ISCもOSCと共通の回路で検出し同様に処理できることは、以上の説明から明らかである。

尚、前記実施例ではリクエスト処理はストアを優先すると仮定したので、E ステージにあるストア命令のストアアドレスとの比較は省略した。

以上に述べたように、本発明によればOSCとISCを共通の回路で検出し、それらを同一の処理として制御できるので、ハードウェア量の削減

および制御の単純化を図ることができるという効果が得られる。

図面の簡単な説明

第1図はコンフリクト処理の説明図、第2図は本発明の一実施例のブロック図である。

1…命令レジスタ、2…命令デコーダ、3…オペランドアドレス生成部、4…前処理パイプライン制御部、5-1、5-2…アドレスレジスタ、6-1、6-2…比較回路、7-1、7-2、8…フリップフロップ、9…マイクロプログラムデコーダ、j、k、l、m…アンドゲート。

代理人 弁理士 薄 田 利

第 2 図

第 1 図

